

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-210787

(P 2001-210787 A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int. Cl.⁷

識別記号

F I

テラト* (参考)

H 0 1 L 27/04

H 0 1 L 27/04

C 5F038

21/822

審査請求 有 請求項の数7 OL (全 7 頁)

(21)出願番号 特願2000-17188(P2000-17188)

(22)出願日 平成12年1月26日(2000.1.26)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山本 朝恵

東京都港区芝五丁目7番1号 日本電気株式
会社内

(74)代理人 100088328

弁理士 金田 暢之 (外2名)

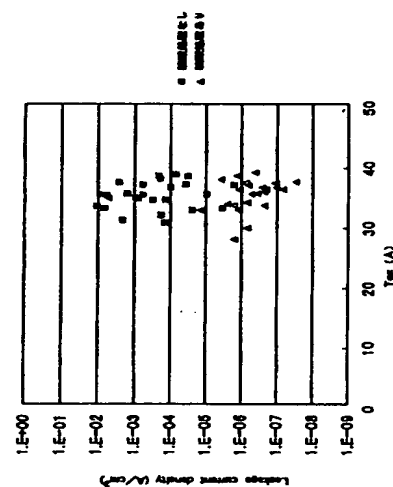
Fターム (参考) 5F038 AC05 AC15 AC18 EZ11 EZ20

(54)【発明の名称】 回路製造方法、MIM容量回路

(57)【要約】

【課題】 MIM容量回路のリーク電流を削減する。

【解決手段】 硫酸により酸化されにくい窒化チタンなどの金属により下部電極を形成し、この下部電極の表面を硫酸を含む溶液により洗浄してから容量膜を積層する。容量膜を積層する下部電極の表面から有機物や酸化物が除去されるので、これらが原因となるリーク電流が防止される。



【特許請求の範囲】

【請求項1】 下部電極と上部電極とが容量膜を介して対向したMIM(Metal Insulative Metal)容量回路を製造する回路製造方法であって、

硫酸により酸化されにくい金属により前記下部電極を形成し、

硫酸を含む溶液により前記下部電極の表面を洗浄し、この洗浄された下部電極の表面に絶縁物により前記容量膜を形成し、

この容量膜の表面に金属により前記上部電極を形成するようにした回路製造方法。

【請求項2】 所定の金属により下部電極を形成し、この下部電極の表面に絶縁物により容量膜を形成し、この容量膜の表面に金属により上部電極を形成することにより、前記下部電極と前記上部電極とが前記容量膜を介して対向したMIM容量回路を製造する回路製造方法であって、

前記下部電極を硫酸により酸化されにくい金属により形成し、

この下部電極の表面を硫酸を含む溶液により洗浄してから前記容量膜を形成するようにした回路製造方法。

【請求項3】 前記下部電極の金属は、窒化チタン、ルテニウム、酸化ルテニウム、窒化タングステン、タングステン、窒化タンタル、の少なくとも一つを主体とする請求項1または2に記載の回路製造方法。

【請求項4】 前記溶液が希硫酸からなる請求項1ないし3の何れか一項に記載の回路製造方法。

【請求項5】 下部電極と上部電極とが容量膜を介して対向したMIM容量回路であって、前記下部電極が硫酸により酸化されにくい金属により形成されており、

この下部電極の表面が硫酸を含む溶液により洗浄されているMIM容量回路。

【請求項6】 前記下部電極が、窒化チタン、ルテニウム、酸化ルテニウム、窒化タングステン、タングステン、窒化タンタル、の少なくとも一つを主体とする金属からなる請求項5に記載のMIM容量回路。

【請求項7】 下部電極と上部電極とが容量膜を介して対向したMIM容量回路であって、

請求項1ないし3の何れか一項に記載の回路製造方法により製造されているMIM容量回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下部電極と上部電極とが容量膜を介して対向したMIM容量回路を製造する回路製造方法、下部電極と上部電極とが容量膜を介して対向したMIM容量回路、に関する。

【0002】

【従来の技術】現在、各種回路が各種用途に利用されており、例えば、電圧の一時保持には容量回路が利用され

ている。この容量回路にも各種構造が存在するが、薄膜技術を利用した微細な容量回路としてはMIM容量回路がある。これは下部電極と上部電極とが容量膜を介して対向したものであり、下部電極と容量膜と上部電極とを薄膜技術により微細に形成することができる。

【0003】ここで、このようなMIM容量回路の一従来例を図2ないし図6を参照して以下に説明する。なお、同図はMIM容量回路の製造方法を示す工程図である。ここで一従来例として例示するMIM容量回路100では、図6(b)に示すように、シリコン基板101を具備しており、このシリコン基板101の表面には、絶縁物であるSiO₂からなる二層の層間絶縁膜102、103が順番に成膜されている。

【0004】下方の層間絶縁膜102には、金属であるW(タングステン)からなる下部配線104が埋め込まれており、上方の層間絶縁膜103には、金属であるTiN(窒化チタン)からなる下部電極105が埋め込まれている。この下部電極105は凹状に形成されており、その下面に下部配線104が接続されている。

【0005】下部電極105の表面には絶縁体であるTa₂O₅からなる容量膜106が積層されており、この容量膜106の表面にTiNからなる上部電極107が積層されている。この上部電極107の上面には上部配線108が接続されており、この上部配線108と下部配線104とが外部の回路(図示せず)に接続されている。

【0006】上述のような構造のMIM容量回路100は、導電性の下部電極105と上部電極107とが絶縁性の容量膜106を介して対向しているため、この部分で電荷を保持することができる。ここで、上述のような構造のMIM容量回路100を製造する回路製造方法を以下に簡単に説明する。

【0007】まず、図2(a)に示すように、シリコン基板101の表面に膜厚0.7(μm)の酸化膜からなるSiO₂の層間絶縁膜102を形成し、この層間絶縁膜102をフォトリソグラフィ技術などによりパターンニングしてシリコン基板101の表面まで到達するコンタクトホール111を形成する。

【0008】同図(b)に示すように、このコンタクトホール111の底面と層間絶縁膜102の上面とにCVD(Cheical Vapor Deposition)法により膜厚100(Å)のTi膜112を成膜し、さらにコンタクトホール111の内面と層間絶縁膜102の上面とにCVD法により膜厚100(Å)のTiN膜113を成膜する。

【0009】なお、コンタクトホール111の内面と層間絶縁膜102の上面とにPVD(Physical Vapor Deposition)法により、Ti膜112を300(Å)の膜厚に成膜するとともにTiN膜113を500(Å)の膜厚に成膜することも可能である。

【0010】つぎに、同図(c)に示すように、TiN膜113の表面にCVD法により膜厚400(Å)のW膜11

4を成膜し、このW膜114によりコンタクトホール111の内部を充填する。同図(d)に示すように、CMP (Chemical Mechanical Polishing)法により層間絶縁膜102の上面のみW膜114とTiN膜113とTi膜112とを除去することで下部配線104を形成する。

【0011】つぎに、図3(a)に示すように、CMP法により平坦となった層間絶縁膜102等の上面に、プラズマCVD法により膜厚500(Å)のSiON膜115と膜厚1.5(μm)のSiO₂からなる層間絶縁膜103とを順番に成膜し、同図(b)に示すように、この上部の層間絶縁膜103をフォトリソグラフィ技術などによりパターニングして下部の層間絶縁膜102と下部配線104との上面まで到達する幅広の凹穴116を形成する。

【0012】つぎに、同図(c)に示すように、この凹穴116の内面と層間絶縁膜103の上面とにCVD法により膜厚100~300(Å)のTiN膜117を成膜してから、図4(a)に示すように、このTiN膜117を介して凹穴116の内部をフォトレジスト118で充填する。なお、TiN膜117を成膜するCVD法の条件は、例えば、反応ガス“TiCl₄/NH₃/N₂”が流量“10-40/100-600/500(sccm)”、圧力0.3(Toll)、温度600(℃)などとされる。

【0013】つぎに、同図(b)に示すように、このフォトレジスト118を除去することなく層間絶縁膜103の上面のみTiN膜117をエッチングすることで凹型の下部電極105を形成し、同図(c)に示すように、この下部電極105の内面からフォトレジスト118をアッシングと有機剥離により除去する。

【0014】なお、このアッシングの条件は、反応ガス“O₂/N₂”が、流量“1000~3000/100~200(sccm)”、圧力1~5(Toll)、温度200~300(℃)、電力1000(W)などとされる。また、有機剥離では、アッシングによりフォトレジスト118が除去されてから、デポジションや残存したフォトレジスト118がジメチルスルホキシドと弗化アンモニウムの混合水溶液により除去される。

【0015】つぎに、図5(a)(b)および図6(a)に示すように、下部電極105の内面と層間絶縁膜103の上面とにCVD法などにより膜厚50~200(Å)のTa₂O₅膜119と膜厚100~300(Å)のTiN膜120と膜厚100(Å)のW膜121とを順番に成膜する。

【0016】なお、Ta₂O₅膜119を成膜するCVD法の条件は、例えば、反応ガス“Ta(OC₂H₅)₅/O₂”が、流量“0.1/2000(sccm)”、圧力0.5(Toll)、温度450(℃)などとされる。また、TiN膜120を成膜するCVD法の条件は、例えば、有機ソースのTDMA T (Tetrakis-Dimethylamino-Titanium)が反応ガスとされ、圧力1.5(Toll)、温度450(℃)などとされる。

【0017】そして、図6(b)に示すように、層間絶縁膜103の上面のTa₂O₅膜119とTiN膜120とW

膜121とをフォトリソグラフィ技術などにより同一形状にパターニングすることにより、容量膜106と上部電極107と上部配線108とを形成する。

【0018】

【発明が解決しようとする課題】 上述のような構造のMIM容量回路100は、導電性の下部電極105と上部電極107とが絶縁性の容量膜106を介して対向しているため、この部分で電荷を保持することができる。しかし、本発明者が実際に上述のような構造のMIM容量回路100を試作したところ、無視できない量のリーク電流が発生することが判明した。

【0019】このリーク電流の原因としては、TiNからなる下部電極105の表面に有機物が付着したり酸化物が発生していることが予想され、このような有機物の付着や酸化物の発生の原因は、下部電極105の表面に塗布したフォトレジスト118をアッシングや有機剥離により除去するためと予想される。

【0020】例えば、特開平10-12836号公報には、MIM容量回路の電極材料の一つとしてTiNが開示されており、その電極の表面を洗浄することが開示されている。そして、この洗浄は“水、塩酸、硝酸、弗酸、有機溶剤”の少なくとも一つを含む溶液により実行されると開示されているが、このような溶液で下部電極105の表面を洗浄してから容量膜106を成膜しても、リーク電流の発生を良好に防止できないことが確認された。

【0021】本発明は上述のような課題に鑑みてなされたものであり、リーク電流が大幅に削減されているMIM容量回路を製造できる回路製造方法、リーク電流が大幅に削減されているMIM容量回路、を提供することを目的とする。

【0022】

【課題を解決するための手段】 本発明の一の回路製造方法は、下部電極と上部電極とが容量膜を介して対向したMIM容量回路を製造する回路製造方法であって、硫酸により酸化されにくい金属により前記下部電極を形成し、硫酸を含む溶液により前記下部電極の表面を洗浄し、この洗浄された下部電極の表面に絶縁物により前記容量膜を形成し、この容量膜の表面に金属により前記上部電極を形成するようにした。

【0023】本発明の他の回路製造方法は、所定の金属により下部電極を形成し、この下部電極の表面に絶縁物により容量膜を形成し、この容量膜の表面に金属により上部電極を形成することにより、前記下部電極と前記上部電極とが前記容量膜を介して対向したMIM容量回路を製造する回路製造方法であって、前記下部電極を硫酸により酸化されにくい金属により形成し、この下部電極の表面を硫酸を含む溶液により洗浄してから前記容量膜を形成するようにした。

【0024】従って、本発明の回路製造方法により製造したMIM容量回路は、硫酸により酸化されにくい金属

からなる下部電極の表面が硫酸を含む溶液により洗浄されてから容量膜が形成されているので、この容量膜が積層されている下部電極の表面に無用な有機物や酸化物が存在せず、これらが原因となるリーク電流が発生しない。

【0025】なお、このように硫酸により酸化されにくい下部電極の金属は、例えば、窒化チタン、ルテニウム、酸化ルテニウム、窒化タングステン、タングステン、窒化タンタル、の少なくとも一つを主体とする。

【0026】

【発明の実施の形態】本発明の実施の一形態を図1を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。なお、図1はMIM容量回路の供試材でのリーク電流の電流密度を示す特性図である。

【0027】本実施の形態のMIM容量回路100の構造は従来と同一であるが、その製造方法が部分的に従来とは相違している。つまり、本実施の形態のMIM容量回路の製造方法では、図4(b)(c)に示すように、TiNからなる下部電極105の内面に塗布したフォトリソスト118をアッシングと有機剥離により除去してから、容量膜106となる Ta_2O_5 膜119を成膜する以前に、下部電極105の表面を硫酸を含む溶液である希硫酸により洗浄する(図示せず)。

【0028】このように希硫酸によりTiNからなる下部電極105の表面を洗浄すると、フォトリソスト118を塗布してから除去することにより下部電極105の表面に発生した有機物や酸化物を良好に除去することができる。このため、このような下部電極105に容量膜106を積層するなどしてMIM容量回路100を形成すると、このMIM容量回路100には多大なリーク電流が発生しない。

【0029】ここで、本発明者は上述のことを確認するため、シリコン基板にTiN膜と Ta_2O_5 膜と金属膜とを順番に積層した二種類の供試材を製作し、一方の供試材ではTiN膜の表面を希硫酸で洗浄することなく Ta_2O_5 膜を積層し、他方の供試材はTiN膜の表面を希硫酸で洗浄してから Ta_2O_5 膜を積層した。

【0030】そして、このような二種類の供試材のシリコン基板の下面と金属膜の上面とでリーク電流を測定したところ、図1に示すように、TiN膜の表面を希硫酸で洗浄した供試材では、リーク電流が多分に減少して容

量を良好に確保できることが確認された。なお、同図の縦軸は電流密度であり、横軸は容量の逆数に相当する。

【0031】一般的に硫酸は金属を酸化させるため、金属の洗浄には不向きとされている。このため、前述した特開平10-12836号公報には電極の表面を洗浄する溶液の材料として“水、塩酸、硝酸、弗酸、有機溶剤”しか開示されていない。しかし、本発明者がTiN膜の表面を硫酸により洗浄したところ、TiNは硫酸により洗浄しても酸化せず、それでいて有機物や酸化膜が良好に除去されることが確認された。

【0032】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態では硫酸により酸化されにくい下部電極105の金属として窒化チタンを例示したが、これを、ルテニウム、酸化ルテニウム、窒化タングステン、タングステン、窒化タンタル、の少なくとも一つを主体とする金属とすることも可能である。

【0033】

【発明の効果】本発明の回路製造方法では、MIM容量回路を製造するとき、その硫酸により酸化されにくい金属からなる下部電極の表面を硫酸を含む溶液により洗浄してから容量膜を積層することにより、容量膜を積層する下部電極の表面から有機物や酸化物を除去することができるので、これらが原因となる多大なリーク電流が発生しないMIM容量回路を製造することができる。

【図面の簡単な説明】

【図1】MIM容量回路の供試材でのリーク電流の電流密度を示す特性図である。

【図2】MIM容量回路の回路製造方法を示す工程図である。

【図3】MIM容量回路の回路製造方法を示す工程図である。

【図4】MIM容量回路の回路製造方法を示す工程図である。

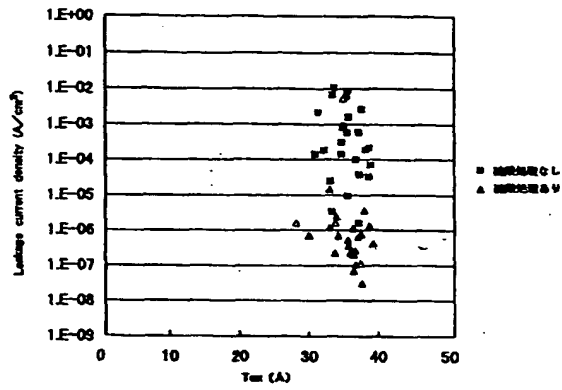
【図5】MIM容量回路の回路製造方法を示す工程図である。

【図6】MIM容量回路の回路製造方法を示す工程図である。

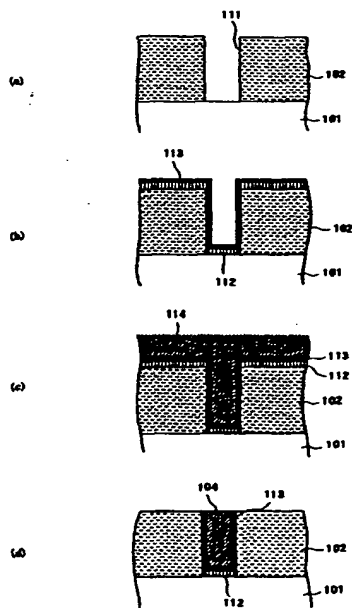
【符号の説明】

100	MIM容量回路
105	下部電極
106	容量膜
107	上部電極

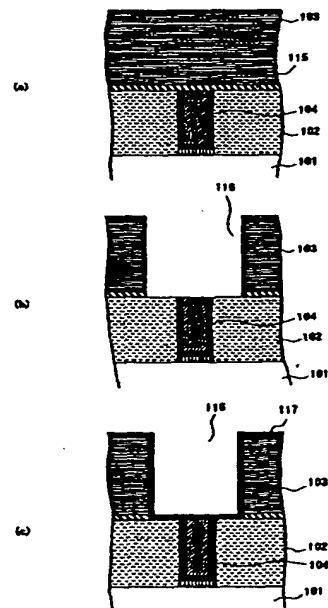
【図1】



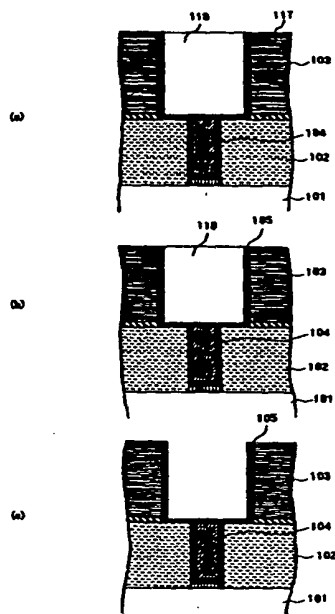
【図2】



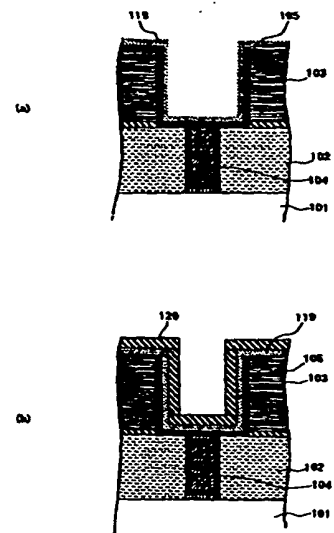
【図3】



【図4】



【図5】



【図6】

